

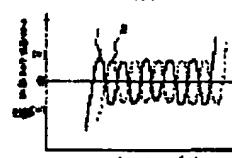
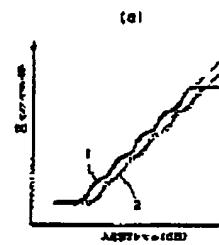
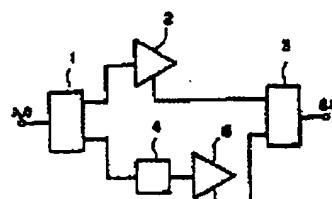
HIGH FREQUENCY LOGARITHMIC AMPLIFIER

Patent number: JP63069307
Publication date: 1988-03-29
Inventor: ARAYA TAKESHI; others: 01
Applicant: HITACHI SHONAN DENSHI KK
Classification:
- **International:** H03G11/08
- **European:**
Application number: JP19860212740 19860911
Priority number(s):

Abstract of JP63069307

PURPOSE: To form a logarithmic amplifier with excellent linearity by using logarithmic amplifiers in parallel, providing an adaptor circuit such as a distributor and a resistance attenuator or a linear amplifier or the like to the input side and providing an adder circuit to the output side.

CONSTITUTION: At least two of logarithmic amplifiers 2, 5 are used in parallel, and an adaptor circuit comprising the distributor 1 distributing an input signal to each of them and the resistance attenuator 4 is provided to the input side and the adder circuit 3 combining each output video signal is provided to the output side. In giving a different input signal level to each logarithmic amplifier, the logarithmic amplifiers have characteristics shown in solid and dotted lines. The output signal being the combination of the video signals outputted from each logarithmic amplifier has a characteristic with very less error by giving a different to the input signal level of each logarithmic amplifier so that each logarithmic error compensates the error.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭63-69307

⑫ Int.Cl.
H 03 G 11/08

識別記号 庁内整理番号
7530-5J

⑬ 公開 昭和63年(1988)3月29日

審査請求 有 発明の数 1 (全3頁)

⑭ 発明の名称 高周波対数増幅装置

⑮ 特願 昭61-212740
⑯ 出願 昭61(1986)9月11日

⑰ 発明者 荒 谷 猛 神奈川県横浜市戸塚区戸塚町393番地 日立湘南電子株式会社内

⑰ 発明者 福 本 知 典 神奈川県横浜市戸塚区戸塚町393番地 日立湘南電子株式会社内

⑰ 出願人 日立湘南電子株式会社 神奈川県横浜市戸塚区戸塚町393番地

⑰ 代理人 井理士 秋本 正実

明細書

1. 発明の名称

高周波対数増幅装置

2. 特許請求の範囲

1. 直線増幅回路と検波回路を多段接続してなる高周波対数増幅器において、この対数増幅器を少なくとも2つ以上並列に用い、各々の入力に入力信号を分配する分配器と、各々の入力信号レベルに差をもたせる抵抗減衰器又は直線増幅器等の付加回路を入力側に設け、各々の出力ビデオ信号を合成する加算回路を出力側に設けたことを特徴とする高周波対数増幅装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、レーダ等の受信部や受信機等に用いられる高周波対数増幅器に関する。

(従来の技術)

レーダの受信部等に用いられる高周波対数増幅器は通常「トランジスタ技術1985年10月号、P390～P398」に示される逐次検波方式が用いられて

る。この方式の対数増幅器の対数誤差を少なくするには、従来、直線増幅回路各々の利得を下げ、直線増幅回路と検波回路の組み合わせの構成段数を多くする方法が用いられていた。しかし段数を増やすにも限界があり、±0.5%程度の直線性を得るのが限界であった。

(発明が解決しようとする問題点)

上記従来技術は、リミッティング増幅回路の構成段数を多くすることが、実用上限界があることと、段数を多くすることにより、各増幅段のリミットレベル、及び利得の誤差の影響がより大きくなることである。このため大幅な特性改善は不可能であった。

本発明の目的は従来から使用されている逐次短波方式を用いて、簡単な付加回路を設けることにより、直線性の良い対数増幅装置を提供することを目的とする。

(問題点を解決するための手段)

上記目的は、これまで用いられてきた逐次検波方式の対数増幅器を2つ以上並列に用い、入力信

号を各々の系統に分配する分配器または分配回路と、各々の対数増幅器に入力される信号レベルに差をもたせるための抵抗減衰回路または直線増幅器等より成る付加回路を各対数増幅器の入力側に設け、各対数増幅器より出力されるビデオ信号を合成するための加算回路よりなる付加回路を出力側に設けることにより達成される。

(作用)

通常用いられている対数増幅器は第2回(a)での実線で示された例のような入出力特性1にて、第2回(b)での実線で示されるような周期的な誤差特性を持つ。本発明の対数増幅器を2つ以上並列に用いることにより、例えば2つの並列対数増幅器を用いた場合、各々の対数増幅器の入力信号レベルを異らせることにより、各々対数増幅器は第2回(b)での実線と点線で示された特性となる。この時の各々の対数誤差が、第2回(c)で示されるように互いに誤差を補なうように各対数増幅器の入力信号レベルに差を与えることにより、各対数増幅器から出力されたビデオ信号を合成した出力信号

は、対数増幅器5へ入力され、第2回(c)に示す如く対数増幅後、ビデオ信号として出力される。他方の対数増幅器2へ印加された高周波信号も同様に対数増幅され、ビデオ信号として出力される。各対数増幅器から出力されたビデオ信号は、加算回路3により合成され、出力端へ出力される。ここで、減衰器4の減衰量は、対数増幅器2と対数増幅器5の各々で発生する対数誤差を第2回(c)に示すように互いにその誤差を補ない、加算回路3からの出力ビデオ信号の対数誤差が最少になるように調整する。

(発明の効果)

本発明によれば、従来の対数増幅器を使用して、付加回路を設け、各々の対数増幅器の入力信号レベルを適度に差をつけるのみで、対数誤差を±0.1%以下まで少なくすることができる。

これにより、非常に高精度な高周波対数増幅装置を実現することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例の高周波対数増幅裝

置は、非常に誤差の少ない特性を得ることができる。

(実施例)

以下、本発明の一実施例を添付図面を参照して詳述する。

本発明の高周波対数増幅装置は第1図に示すように直線増幅回路と検波回路を多段接続してなる高周波対数増幅器において、この対数増幅器2、5を少なくとも2つ以上並列に用い、各々に入力信号を分配する分配器1と、入力信号レベルに差をもたせる抵抗減衰器4の付加回路を入力側に設け、各々の出力ビデオ信号を合成する加算回路3を出力側に設けたものである。次にこの増幅装置について動作を説明する。

第1図に示す高周波対数増幅装置は、従来の逐次検波方式の対数増幅器を少なくとも2つを並列に用いたものの例である。

入力に印加された高周波信号は、分配器1により対数増幅器2と減衰器4へ分配される。

減衰器4へ印加された高周波信号は、適度に減

衰され、対数増幅器5へ入力され、第2回(c)に示す如く対数増幅後、ビデオ信号として出力される。他方の対数増幅器2へ印加された高周波信号も同様に対数増幅され、ビデオ信号として出力される。各対数増幅器から出力されたビデオ信号は、加算回路3により合成され、出力端へ出力される。ここで、減衰器4の減衰量は、対数増幅器2と対数増幅器5の各々で発生する対数誤差を第2回(c)に示すように互いにその誤差を補ない、加算回路3からの出力ビデオ信号の対数誤差が最少になるように調整する。

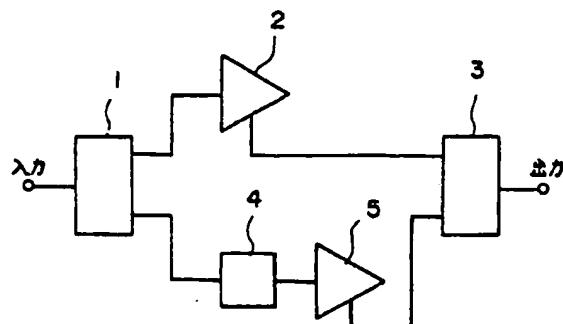
置のブロック図、第2図は逐次検波方式の対数増幅器の特性例で、(a)は入出力特性図、(b)は理想対数特性からの誤差特性図である。

1…分配器、2…対数増幅器、3…加算回路、4…減衰器、5…対数増幅器。

特許出願人 日立湘南電子株式会社

代理人 弁理士 秋本正実

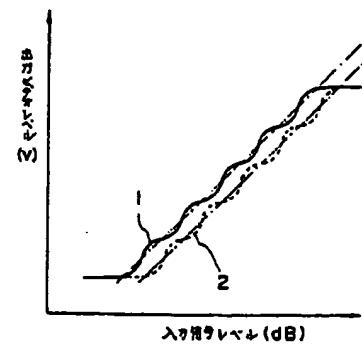
第一 図



- 1…分配器
- 2…対数増幅器
- 3…加算回路
- 4…減衰器
- 5…対数増幅器

第二 図

(a)



(b)

